



Patent

Customer No. 31561
Application No.: 10/605,402
Docket No. 11141-US-PA

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of

Applicant : Lee et al.
Application No. : 10/605,402
Filed : September 29, 2003
For : SHALLOW TRENCH ISOLATION STRUCTURE AND
DYNAMIC RANDOM ACCESS MEMORY, AND
FABRICATING METHODS THEREOF

Examiner :
Art Unit : 2812

ASSISTANT COMMISSIONER FOR PATENTS
Arlington, VA22202

Dear Sirs:

Transmitted herewith is a certified copy of Taiwan Application No.:
092113044, filed on: 2003/05/14.

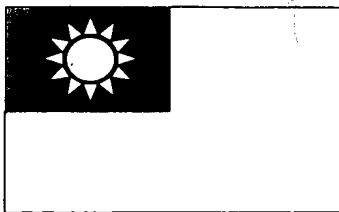
A return prepaid postcard is also included herewith.

Respectfully Submitted,
JIANQ CHYUN Intellectual Property Office

Dated: Feb. 17, 2004

By: Belinda Lee
Belinda Lee
Registration No.: 46,863

Please send future correspondence to:
7F-1, No. 100, Roosevelt Rd.,
Sec. 2, Taipei 100, Taiwan, R.O.C.
Tel: 886-2-2369 2800
Fax: 886-2-2369 7233 / 886-2-2369 7234



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 05 月 14 日
Application Date

申請案號：092113044
Application No.

申請人：茂德科技股份有限公司
Applicant(s)

局長

Director General

蔡練生

發文日期：西元 2003 年 10 月 29 日
Issue Date

發文字號：09221101090
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	淺溝渠隔離區與動態隨機存取記憶體之結構及其製造方法
	英 文	SHALLOW TRENCH ISOLATION AND DYNAMIC RANDOM ACCESS MEMORY AND FABRICATING METHODS THEREOF
二、 發明人 (共2人)	姓 名 (中文)	1. 李岳川 2. 陳世芳
	姓 名 (英文)	1. Yueh-Chuan Lee 2. Jason Chen
	國 籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW
	住居所 (中 文)	1. 南投縣中興新村光榮北路4街30號 2. 新竹縣竹北市建國街37號5樓
	住居所 (英 文)	1. No. 30, 4 St., Kuang-Jung S Rd., Nantou Hsien, Taiwan, R.O.C. 2. 5F, No37, Gen-Ko St., Chupei City, Hsin-Chu Ken. Taiwan, R.O.C
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 茂德科技股份有限公司
	名稱或 姓 名 (英文)	1. ProMOS Technologies Inc.
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 新竹科學工業園區力行路19號3樓 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. 3F., No. 19, Li Hsin Rd., Science Based Industrial Park, Hsinchu, Taiwan, R.O.C.
	代表人 (中文)	1. 胡洪九
	代表人 (英文)	1. Hung-Chiu HU



四、中文發明摘要 (發明名稱：淺溝渠隔離區與動態隨機存取記憶體之結構及其製造方法)

一種淺溝渠隔離區的製造方法，其係首先在一基底上形成一圖案化之罩幕層，接著進行一離子植入步驟，以在未被罩幕層覆蓋之基底中形成一摻雜區。之後進行一蝕刻步驟以圖案化基底，而在基底中形成一溝渠，其中溝渠之底部係暴露出摻雜區。然後，於溝渠內填入一絕緣層以形成一淺溝渠隔離區。本發明僅在淺溝渠隔離區之底部處形成有摻雜區，而不會於淺溝渠隔離區之側壁處形成有摻雜區。

伍、(一)、本案代表圖為：第__2C__圖

(二)、本案代表圖之元件代表符號簡單說明：

200：基底 208：摻雜區 212：絕緣層

六、英文發明摘要 (發明名稱：SHALLOW TRENCH ISOLATION AND DYNAMIC RANDOM ACCESS MEMORY AND FABRICATING METHODS THEREOF)

A method of fabricating a shallow trench isolation is described. A patterned mask layer is formed on a substrate. Performing an implantation process to form a doped region in the substrate where is not covered by the mask layer. Then, an etching process is conducted to form a trench in the substrate, wherein the bottom of the trench exposes the doped region. Thereafter, an



四、中文發明摘要 (發明名稱：淺溝渠隔離區與動態隨機存取記憶體之結構及其製造方法)

六、英文發明摘要 (發明名稱：SHALLOW TRENCH ISOLATION AND DYNAMIC RANDOM ACCESS MEMORY AND FABRICATING METHODS THEREOF)

isolating layer is filled into the trench for forming a shallow trench isolation. In this invention, the doped region is only located underneath the shallow trench isolation, and no doped region is formed on sidewalls of the shallow trench isolation.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得，不須寄存。



五、發明說明 (1)

發明所屬之技術領域

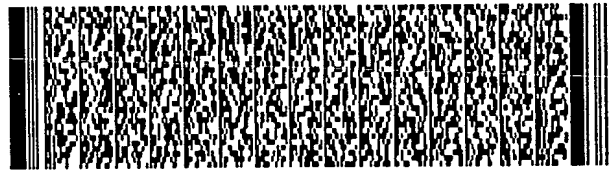
本發明是有關於一種半導體元件之結構及其製造方法，且特別是有關於一種淺溝渠隔離區與動態隨機存取記憶體之結構及其製造方法。

先前技術

當半導體進入深次微米(Deep Sub-Micron)的製程時，元件的尺寸逐漸縮小，對以往的動態隨機存取記憶體結構而言，也就是代表作為電容器的空間愈來愈小，另一方面，由於電腦應用軟體的逐漸龐大，因此所需的記憶體容量也就愈來愈大，對於這種尺寸變小而記憶體容量卻需要增加的情形，顯示以往的動態隨機存取記憶體之電容器的製造方法必須有所改變，以符合趨勢所需。

動態隨機存取記憶體(DRAM)依其電容器的結構主要可以分成兩種形式，其一為具有堆疊式電容器(Stack Capacitor)之動態隨機存取記憶體，另一則為具有深溝渠式電容器(Deep Trench Capacitor)之動態隨機存取記憶體。而不論是何種形式之動態隨機存取記憶體，在半導體元件尺寸縮減的要求下，其製造的技術上均遭遇到越來越多的困難。

而一般在半導體元件中，包括在動態隨機存取記憶體元件中，經常會利用淺溝渠隔離區來定義出主動區，以使主動區之元件能彼此電性隔離。同樣的，隨著元件尺寸之縮小化，如何提升隔離區之隔離能力也是重要的課題之一。



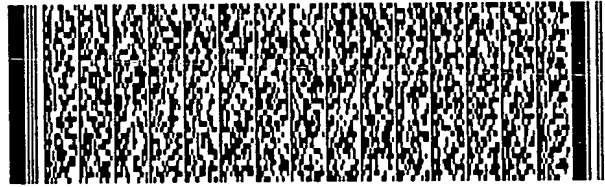
五、發明說明 (2)

在習知技術中已有提出許多提升隔離區之隔離能力之方法，例如在美國專利公告第2002/0179997號專利中，其係於淺溝渠隔離區之底部以及頂部之邊緣處都形成有摻雜區，用以作為通道終止區(channel stop layer)，避免淺溝渠隔離區之間產生漏電。

然而，倘若為了提高淺溝渠隔離區之隔離能力而於淺溝渠隔離區之側壁以及底部都形成摻雜區時卻會衍生其他漏電之問題。如習知技術中，p型離子植入步驟之過程中，並無法確保離子不會植入在隔離區之側壁上，而可能會在其側壁處形成另一摻雜區。這是因為淺溝渠隔離區之側壁本身就存在有一斜角，而且離子植入過程中，離子還可能因反彈作用而植入在淺溝渠隔離區之側壁處。而由於側壁處之摻雜區與後續主動元件之源極/汲極，(source/drain)的接面梯度(junction gradient)提高，而該處的電場將會因此上升，進而引發接面漏電(junction leakage)之情形。

請參照第1圖，其係為習知動態隨機存取記憶體之結構剖面示意圖，習知動態隨機存取記憶體係包括配置在基底100中之溝渠式電容器101(其包括下電極102、電容介電層104、上電極106以及領氧化層108)、淺溝渠隔離區122、主動元件136、用來使主動元件136與溝渠式電容器101電性連接之埋入式摻雜帶110、n型植入區126以及p型植入區130。

其中，n型植入區126係用來使每一溝渠式電容器101



五、發明說明 (3)

之下電極102電性連接之用。另外，p型植入區130是形成在寄生電晶體之通道區的位置以及淺溝渠隔離區122之底部，其目的是用來提高寄生電晶體之啟始電壓值

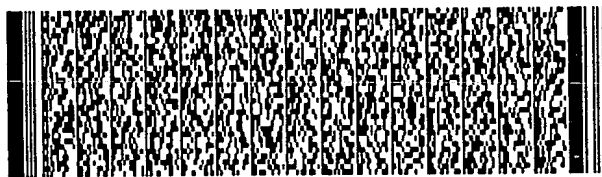
(threshold voltage)並提高淺溝渠隔離區122之隔離能力。而所謂的寄生電極體即是埋入式摻雜帶110、下電極102、氮氧化層108以及上電極106所構成之一垂直的

(vertical)寄生電晶體。由於若寄生電晶體之啟始電壓不夠高，而使寄生電晶體呈開的狀態時，電容器之電荷將會由此路徑漏電，而無法有效的儲存電荷。因此，通常在形成淺溝渠隔離區122之後，都會進行p型離子之植入步驟，以形成p型植入區130。

另外，在習知技術中，p型植入區130除了被用來提高寄生電晶體之啟始電壓之外，又同時希望能提高淺溝渠隔離區122之隔離效果，因此通常會將p型植入區130形成在淺溝渠隔離區122之底部處。但是，如此將會使得p型植入區130會較為靠近埋入式摻雜帶110，在此種情況之下，若要提高寄生電晶體之啟始電壓而提高p型植入區130之摻雜濃度，也將會導致埋入式摻雜帶110與p型植入區130之間的p-n接面梯度(p-n junction gradient)提高，而導致接面漏電(junction leakage)之情形。

發明內容

因此本發明的目的就是提供一種淺溝渠隔離區及其製造方法，其僅在淺溝渠隔離區之底部形成有摻雜區，且在淺溝渠隔離區之側壁處並不會形成有摻雜區。



五、發明說明 (4)

本發明的再一目的是提供一種動態隨機存取記憶體之結構及其製造方法，以避免動態隨機存取記憶體中產生漏電，而提升元件之可靠度。

本發明提出一種淺溝渠隔離區的製造方法，此方法係首先在基底上形成圖案化之單幕層，單幕層係暴露出預定形成淺溝渠隔離區之處。接著利用單幕層作為一植入步驟，單幕層進行一離子植入步驟，以在未被單幕層覆蓋之基底中蝕刻形成一摻雜區。之後利用單幕層作為一蝕刻步驟，以圖案化基底，而在基底中形成一溝渠，其底部係暴露出摻雜區。然後，於溝渠內填入一絕緣層，再移除單幕層，以形成一淺溝渠隔離區。

本發明提出一種淺溝渠隔離區，其係由一淺溝渠絕緣結構以及一摻雜區所構成，其中淺溝渠絕緣結構之底部在特別是在基底中，而摻雜區係配置在淺溝渠絕緣結構之側壁或邊緣處。其係由一淺溝渠絕緣結構之底部在特別是在基底中，而摻雜區係配置在淺溝渠絕緣結構之側壁或邊緣處。

本發明又提出一種動態隨機存取記憶體的製造方法，此方法係首先在基底中形成一溝渠式電容器，其包括一電極、一電容介電層以及一上電極，且在溝渠式電容器之底部形成一埋入式摻雜帶。接著，在基底上形成圖案化單幕層，暴露出預定形成淺溝渠隔離區之處。之後，利用單幕層作為一植入步驟，以在基底中形成一第一型摻雜區。隨後，以單幕層作為一蝕刻步驟，以在基底中形成一溝渠，且此溝渠

五、發明說明 (6)

形成摻雜區之後，才蝕刻基底以形成深溝渠，因此可以確保淺溝渠之側壁處不會被植入有離子。

本發明利用摻雜區作為蝕刻溝渠之偵測終點，因此本發明之方法可以改善溝渠深度之均勻度。

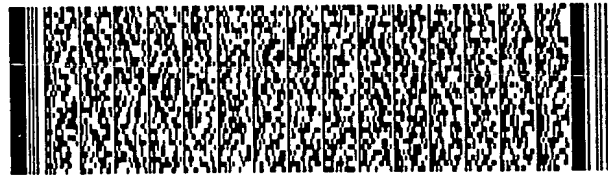
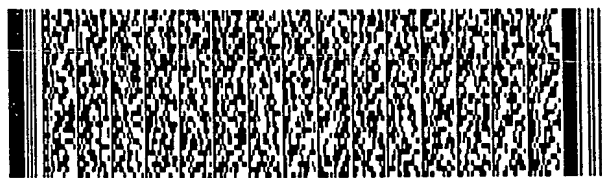
由於本發明之動態隨機存取記憶體中的淺溝渠隔離區中僅在其底部處形成有摻雜區，其側壁處並不會形成有摻雜區，因此可以避免因淺溝渠隔離區側壁處的摻雜區導致p-n接面梯度提高，而產生漏電之情形。

由於本發明之動態隨機存取記憶體中的淺溝渠隔離區之底部處已形成有摻雜區，因此p型植入區可以形成在較遠離埋入式摻雜帶之處(基底較深之處)，如此一來為了提高寄生電晶體之啟始電壓而提高p型植入區之摻雜濃度，也不會造成p-n接面梯度提高，而導致漏電之情形。

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

實施方式

第2A圖至第2C圖所示，其繪示是依照本發明一較佳實施例之一種淺溝渠隔離區的製造流程剖面示意圖。請參照第2A圖，首先在一基底200上形成一墊氧化層202以及一單幕層204。其中，墊氧化層202是用來保護基底200之表面，單幕層204之厚度例如是大於600埃，其可以是氮化矽層、氮化矽層/光阻層之堆疊層、或是氮化矽層/氧化矽層/光阻層之堆疊層，視製程需要而定。形成單幕層204以及

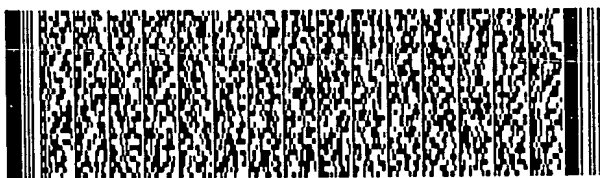


五、發明說明 (7)

墊氧化層202之方法例如是先基底200之表面形成一氧化薄層(未繪示)，並且在氧化薄層上形成一罩幕材質層(未繪示)，接著於罩幕材質層上形成一圖案化之光阻層後，進行一蝕刻步驟圖案化罩幕材質層以及薄氧化層即可。若未將上述之光阻層移除，則罩幕層204將包括了一層光阻層。

之後，以罩幕層204為一植入罩幕進行一離子植入步驟206，以在未被罩幕層204覆蓋之基底200中形成一摻雜區208。離子植入步驟206之能量係依照淺溝渠隔離區之深度而定，例如在0.11微米的製程中預定形成2900埃深度的淺溝渠隔離區，則上述離子植入步驟206之能量例如是100keV。另外，摻雜區208中所植入之離子例如是p型離子(譬如硼離子)或是n型離子，摻雜區208的離子型態係與後續主動元件之摻雜型態相反，作為通道終止區(channel stop layer)。

請參照第2B圖，以罩幕層204為一蝕刻罩幕進行一蝕刻步驟，以圖案化基底200，而於基底200中形成一溝渠210，其中溝渠210之底部係暴露出摻雜區208。在此，可以利用摻雜區208作為蝕刻步驟之偵測終點，換言之，在蝕刻步驟之過程中當偵測到摻雜區208之摻雜物質時，便可終止此蝕刻步驟。因摻雜區208之植入深度可精確控制，所以可減少溝渠210蝕刻深度的變異，改善晶片與晶片間溝渠深度的均勻度(wafer to wafer trench depth uniformity)。



五、發明說明 (8)

請參照第2C圖，在溝渠210內填入一絕緣層212，再將罩幕層204以及墊氧化層202移除，即形成一淺溝渠隔離區。在此，於溝渠210內填入絕緣層212之方法例如是先在基底200上方沈積一層絕緣材質層，覆蓋罩幕層204並填滿溝渠210，之後以化學機械研磨法研磨絕緣材質層，直到罩幕層204暴露出來。

因此，本發明之淺溝渠隔離區是由一淺溝渠絕緣結構212以及一摻雜區208所構成。其中，淺溝渠絕緣結構212係配置在一基底200中，且摻雜區208係位於淺溝渠絕緣結構212之底部。特別是，在淺溝渠絕緣結構212之側壁處與頂部處都未有摻雜區。

上述之淺溝渠隔離區可以應用許多半導體元件中，以下之說明係將此淺溝渠隔離區應用在動態隨機存取記憶體中。

請參照第3A圖至第3G圖，其繪示是依照本發明一較佳實施例之動態隨機存取記憶體之製造流程剖面示意圖。請參照第3A圖，首先提供一基底100，基底100例如是p型矽基底。接著，在基底100中形成一溝渠式電容器101，其包括摻雜區102(其係作為電容器之下電極)、電容介電層104、導電層106(其係作為電容器之上電極)以及領氧化層(collar oxide)108。

其中，形成此溝渠式電容器的方法，係首先在基底100中形成一深溝渠(未繪示)，接著，於深溝渠底部形成摻雜區102，以作為深溝渠電容器之下電極。之後，於深



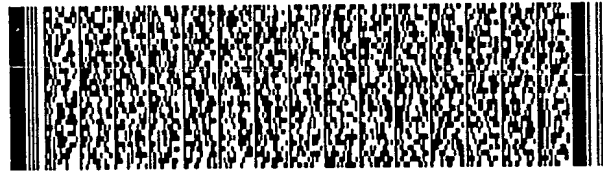
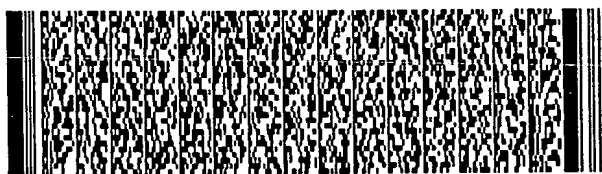
五、發明說明 (9)

溝渠底部之表面上形成電容介電層104。之後再於深溝渠內填入導電層106並且在深溝渠頂部之側壁處形成領氧化層108。在上述的製作過程中，因歷經數次的高溫製程，在深溝渠頂部處未被領氧化層108覆蓋之基底100中將會因導電層106中離子的擴散而形成一摻雜區110，係又稱為埋入式摻雜帶(buried strap)。

在形成溝渠式電容器101之後，於基底100之上方形成一圖案化之罩幕層302，暴露出預定形成淺溝渠隔離區之處。在一較佳實施例中，罩幕層302之厚度例如是大於600埃，其可以是氮化矽層、氮化矽層/光阻層之堆疊層、或是氮化矽層/氧化矽層/光阻層之堆疊層，視製程需要而定。

請參照第3B圖，以罩幕層302作為一植入罩幕進行一離子植入步驟304，以在基底100中形成一摻雜區306。離子植入步驟304之能量係依照淺溝渠隔離區之深度而定，例如在0.11微米的製程中預定形成2900埃深度的淺溝渠隔離區，則上述離子植入步驟304之能量例如是100keV。另外，摻雜區306中所植入之離子型態例如是p型離子(譬如硼離子)，係與後續主動元件之摻雜型態相反，作為通道終止區。

請參照第3C圖，以罩幕層302作為一蝕刻罩幕進行一蝕刻步驟，以在基底100中形成一淺溝渠308，淺溝渠308之底部係暴露出摻雜區306，且部分淺溝渠308係形成在溝渠式電容器101中，並使溝渠式電容器101頂部其中一側壁



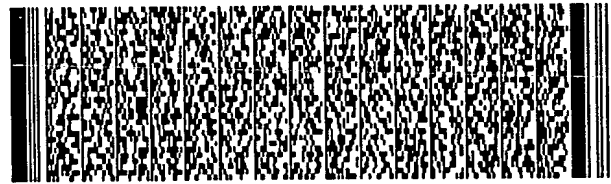
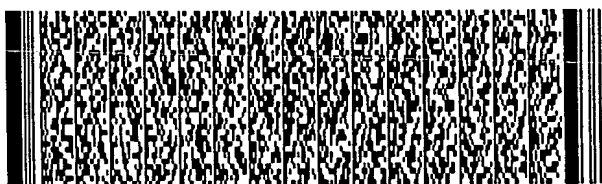
五、發明說明 (10)

處之摻雜區110被移除掉。在此蝕刻步驟中，可以利用摻雜區306作為蝕刻步驟之偵測終點，換言之，在蝕刻步驟之過程中當偵測到摻雜區306之摻雜物質時，便可終止此蝕刻步驟。因摻雜區306之植入深度可精確控制，所以可減少溝渠308蝕刻深度的變異，改善晶片與晶片間溝渠深度的均勻度(wafer to wafer trench depth uniformity)。

請參照第3D圖，在溝渠308中填入一絕緣層310，並且將罩幕層302移除，即形成一淺溝渠隔離區，其中在淺溝渠隔離區310之底部係形成有摻雜區306。在一較佳實施例中，於溝渠308內填入絕緣層310之方法例如是先於基底100上方沈積一層絕緣材質層，覆蓋罩幕層302並填滿溝渠308，之後以化學機械研磨法研磨絕緣材質層，直到罩幕層302暴露出來。

請參照第3E圖，在移除罩幕層302之後，於基底100之表面上形成一遮蔽氧化層(screen oxide)312，以避免後續離子植入步驟產生通道現象(channeling effect)。接著進行一離子植入步驟314，以在基底100中形成一n型植入區316，n型植入區316係與溝渠式電容器101之下電極102(摻雜區102)電性接觸，其係用來將記憶體元件中每一溝渠式電容器之下電極串接起來。

請參照第3F圖，進行另一離子植入步驟318，以在基底100中形成一p型植入區320，且p型植入區320係形成在摻雜區306以及n型植入區316之間。

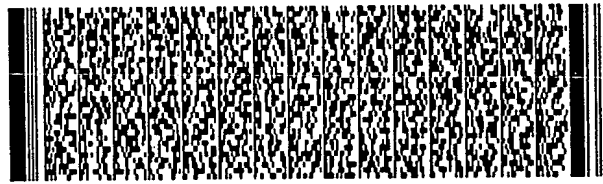
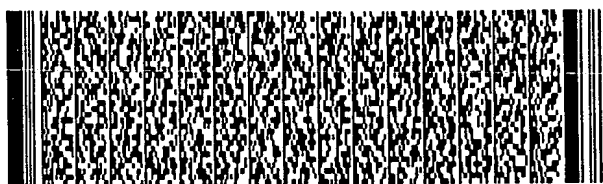


五、發明說明 (11)

在此，形成p型植入區320之目的是為了提高寄生電晶體之啟始電壓值，而所謂的寄生電極體即是埋入式摻雜帶106、下電極102、氮氧化層108以及上電極106所構成之一垂直的(vertical)寄生電晶體。倘若寄生電晶體之啟始電壓不夠高，而使寄生電晶體呈開的狀態時，電容器之電荷將會由此路徑漏電，而無法有效的儲存電荷。而由於本發明在淺溝渠隔離區310之底部已形成有摻雜區306，因此p型植入區320可以形成在較遠離埋入式摻雜帶110之位置(基底100較深之處)，以避免p型植入區320與埋入式摻雜帶110會有p-n接面梯度提高而導致漏電之問題。另外，也因為p型植入區320是形成在較遠離埋入式摻雜帶110之位置，因此可以提高p型植入區320之摻雜濃度，進而更提高寄生電晶體之啟始電壓值。

請參照第3G圖，在進行完上述各種植入區之植入步驟之後，將遮蔽氧化層312移除。然後於基底100上形成主動元件136以及通過字元線(passing word line)138，其中主動元件136係包括字元線132以及源極/汲極134a/134b，且主動元件136係與埋入式摻雜帶110電性接觸。如此一來，藉由埋入式摻雜帶110便可以使主動元件136與溝渠式電容器101電性連接，而完成動態隨機存取記憶體之製作。

因此，本發明之動態隨機存取記憶體係包括一溝渠式電容器101、一埋入式摻雜帶110、一淺溝渠隔離區310、一p型摻雜區306、一p型植入區320、一n型植入區316以及



五、發明說明 (12)

一主動元件136。其中，溝渠式電容器101係配置在一基底100中，且溝渠式電容器101具有一下電極102、一電容介電層104以及一上電極106。埋入式摻雜帶110係配置在溝渠式電容器101頂部側壁處之基底100中。

淺溝渠隔離區310係配置在基底100中，且部分淺溝渠隔離區310係位於溝渠式電容器101內。p型摻雜區306係配置在淺溝渠隔離區310之底部處。

n型植入區316係配置在基底100中，且n型植入區316係與溝渠式電容器101之下電極102電性接觸。另外，p型植入區320係配置在n型植入區316以及型摻雜區306之間的基底100中。

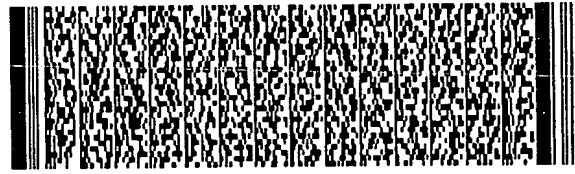
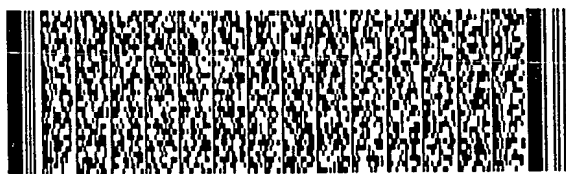
而主動元件136是配置在基底100之上方，且此主動元件136係包括字元線132、源極/汲極134a/134b，且主動元件136係與埋入式摻雜帶110電性接觸，因此藉由埋入式摻雜帶110便可以使淺溝渠式電容器101與主動元件136電性連接。

綜合以上所述，本發明具有下列優點：

1. 由於本發明之淺溝渠隔離區的製造方法係先在基底中形成摻雜區之後，才蝕刻基底以形成深溝渠，因此可以確保淺溝渠之側壁處不會被植入有離子，避免產生接面漏電(junction leakage)之情形。

2. 本發明利用摻雜區作為蝕刻溝渠之偵測終點，因此本發明之方法可以改善溝渠深度之均勻度。

3. 由於本發明之動態隨機存取記憶體中的淺溝渠隔離



五、發明說明 (13)

區中僅在其底部處形成有摻雜區，其側壁處並不會形成有摻雜區，因此可以避免因淺溝渠隔離區側壁處的摻雜區導致p-n接面梯度提高，而產生漏電之情形。

4. 由於本發明之動態隨機存取記憶體中的淺溝渠隔離區之底部處已形成有摻雜區，因此p型植入區可以形成在較遠離埋入式摻雜帶之處(基底較深之處)，如此一來為了提高寄生電晶體之啟始電壓而提高p型植入區之摻雜濃度，也不會造成p-n接面梯度提高，而導致漏電之情形。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

第1圖是習知動態隨機存取記憶體之剖面示意圖；

第2A圖至第2C圖是依照本發明一較佳實施例之淺溝渠隔離區的製造流程剖面示意圖；以及

第3A圖至第3G圖是依照本發明一較佳實施例之動態隨機存取記憶體之製造流程剖面示意圖。

圖式標示說明

100、200：基底

202：墊氧化層

204、302：罩幕層

206、304、314、318：離子植入步驟

208、306：摻雜區

210、308：溝渠

212、310：絕緣層(淺溝渠絕緣結構)

101：溝渠式電容器

102：下電極

104：電容介電層

106：上電極

108：領氧化層

110：埋入式摻雜帶

312：遮蔽氧化層

126、316：n型植入區

130、320：p型植入區

132、138：字元線

134a/134b：源極/汲極



圖式簡單說明

136 : 主動元件



六、申請專利範圍

1. 一種淺溝渠隔離區的製造方法，該淺溝渠隔離區係用以定義出一主動區，該方法包括：

在一基底上形成一圖案化之罩幕層；

在未被該罩幕層覆蓋之該基底中形成一摻雜區；

在該基底中形成一溝渠，其中該溝渠之底部係暴露出該摻雜區；以及

在該溝渠內填入一絕緣層。

2. 如申請專利範圍第1項所述之淺溝渠隔離區的製造方法，其中在未被該罩幕層覆蓋之該基底中形成該摻雜區之方法包括利用該罩幕層為一植入罩幕進行一離子植入步驟，以在該基底中形成該摻雜區。

3. 如申請專利範圍第1項所述之淺溝渠隔離區的製造方法，其中該摻雜區中所植入之離子係與該主動區中之主動元件的摻雜型態相反。

4. 如申請專利範圍第3項所述之淺溝渠隔離區的製造方法，其中該摻雜區中所植入之離子係為p型離子或是n型離子。

5. 如申請專利範圍第1項所述之淺溝渠隔離區的製造方法，其中在該基底中形成該溝渠之方法包括利用該罩幕層為一蝕刻罩幕進行一蝕刻步驟，以在該基底中形成該溝渠。

6. 如申請專利範圍第5項所述之淺溝渠隔離區的製造方法，其中該摻雜區係作為該蝕刻步驟之偵測終點。

7. 如申請專利範圍第1項所述之淺溝渠隔離區的製造



六、申請專利範圍

方法，其中該單幕層之厚度係大於600埃。

8. 一種淺溝渠隔離區，該淺溝渠隔離區係用以定義出一主動區，包括：

- 一淺溝渠絕緣結構，配置在一基底中；以及
- 一摻雜區，配置在該淺溝渠絕緣結構之底部。

9. 如申請專利範圍第8項所述之淺溝渠隔離區，其中該摻雜區中所植入之離子係與該主動區中之主動元件的摻雜型態相反。

10. 如申請專利範圍第9項所述之淺溝渠隔離區，其中該摻雜區係為一p型摻雜區或是一n型摻雜區。

11. 一種動態隨機存取記憶體的製造方法，包括：

在一基底中形成一溝渠式電容器，且在該溝渠式電容器頂部之該基底中係形成有一埋入式摻雜帶；

在該基底上形成一圖案化單幕層；

進行一離子植入步驟，以在該基底中形成一第一型摻雜區；

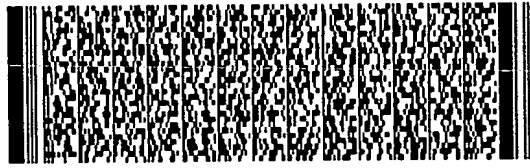
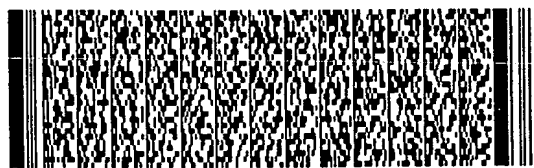
進行一蝕刻步驟，以在該基底中形成一溝渠，該溝渠之底部係暴露出該第一型摻雜區；

在該溝渠內填入一絕緣層；

移除該單幕層；

在該基底中形成一第一型植入區，該第一型植入區係形成在該第一型摻雜區之底下；以及

在該基底之上方形成一主動元件，且該主動元件係透過該埋入式摻雜帶而與該溝渠式電容器電性連接。



六、申請專利範圍

12. 如申請專利範圍第11項所述之動態隨機存取記憶體的製造方法，更包括在該基底中形成一第二型植入區，該第二型植入區係與該溝渠式電容器之下電極電性連接，且後續在形成該第一型植入區之後，該第一型植入區會形成在該第二型植入區以及該第一型摻雜區之間。

13. 如申請專利範圍第11項所述之動態隨機存取記憶體的製造方法，其中該第一型摻雜區係作為該蝕刻步驟之偵測終點。

14. 如申請專利範圍第13項所述之動態隨機存取記憶體的製造方法，其中該第一型摻雜區中所植入之離子係與該主動元件之摻雜型態相反。

15. 如申請專利範圍第14項所述之動態隨機存取記憶體的製造方法，其中該第一型摻雜區中所植入之離子係為p型離子。

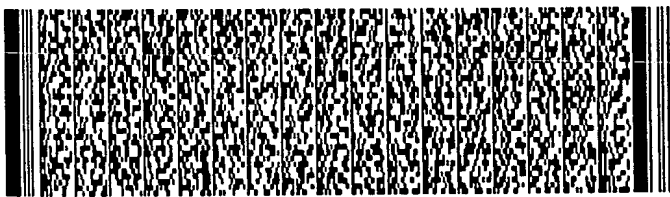
16. 如申請專利範圍第11項所述之動態隨機存取記憶體的製造方法，其中該罩幕層之厚度係大於600埃。

17. 如申請專利範圍第11項所述之動態隨機存取記憶體的製造方法，其中移除該罩幕層之後，更包括先在該基底之表面上形成一遮蔽氧化層。

18. 一種動態隨機存取記憶體，包括：

一溝渠式電容器，配置在一基底中，該溝渠式電容器具有一下電極、一電容介電層以及一上電極；

一淺溝渠隔離區，配置在該基底中，且部分該淺溝渠隔離區係位於該溝渠式電容器內；



六、申請專利範圍

- 一 第一型摻雜區，配置在該淺溝渠隔離區之底部；
- 一 第一型植入區，配置在該第一型摻雜區之底下；以

及

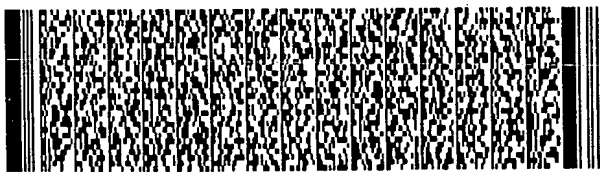
一 主動元件，配置在該基底上方，且該主動元件係與該淺溝渠式電容器電性連接。

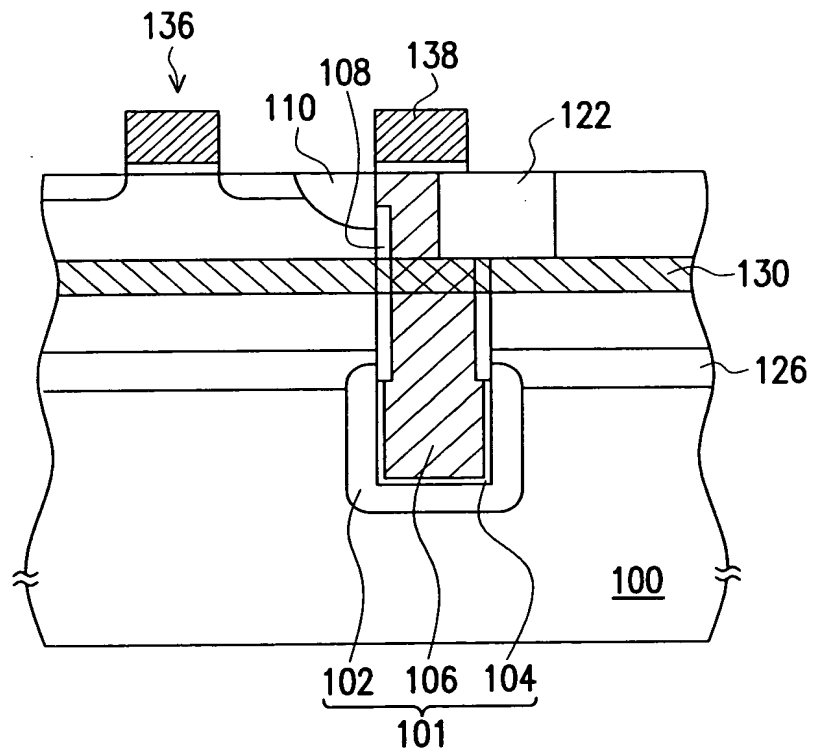
19. 如申請專利範圍第18項所述之動態隨機存取記憶體，其中該第一型摻雜區中所植入之離子係與該主動元件之摻雜型態相反。

20. 如申請專利範圍第18項所述之動態隨機存取記憶體，更包括一第二型植入區，配置在該基底中，該第二型植入區係與該溝渠式電容器之該下電極電性接觸。

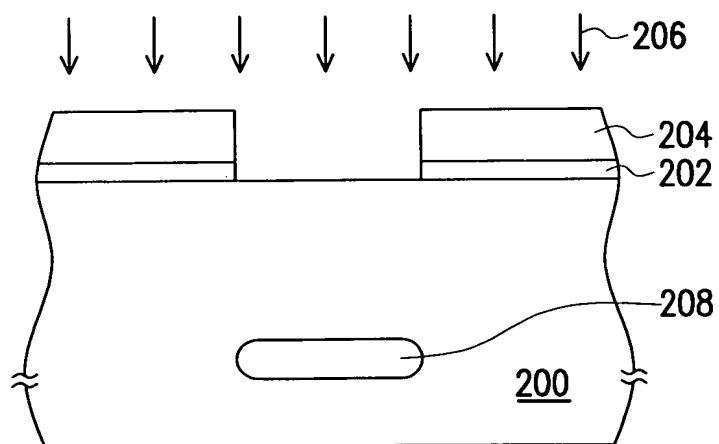
21. 如申請專利範圍第20項所述之動態隨機存取記憶體，其中該第一型植入區係位於該第一型摻雜區以及該第二型植入區之間。

22. 如申請專利範圍第18項所述之動態隨機存取記憶體，更包括一埋入式摻雜帶，配置在該溝渠式電容器頂部側壁處之該基底中，用以使該溝渠式電容器與該主動元件電性連接。

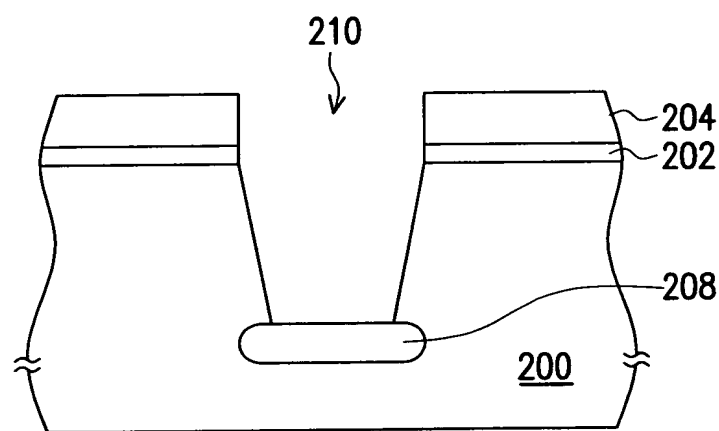




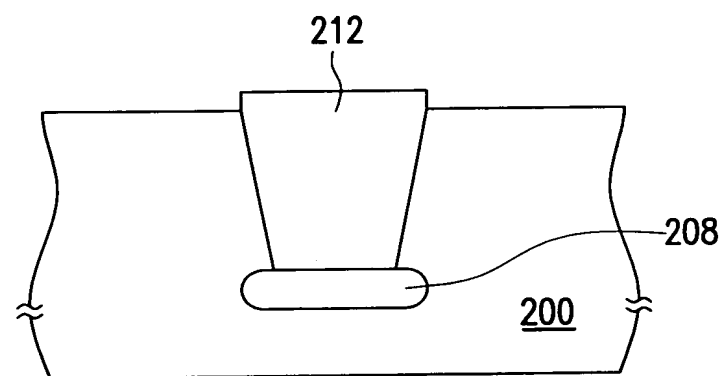
第 1 圖



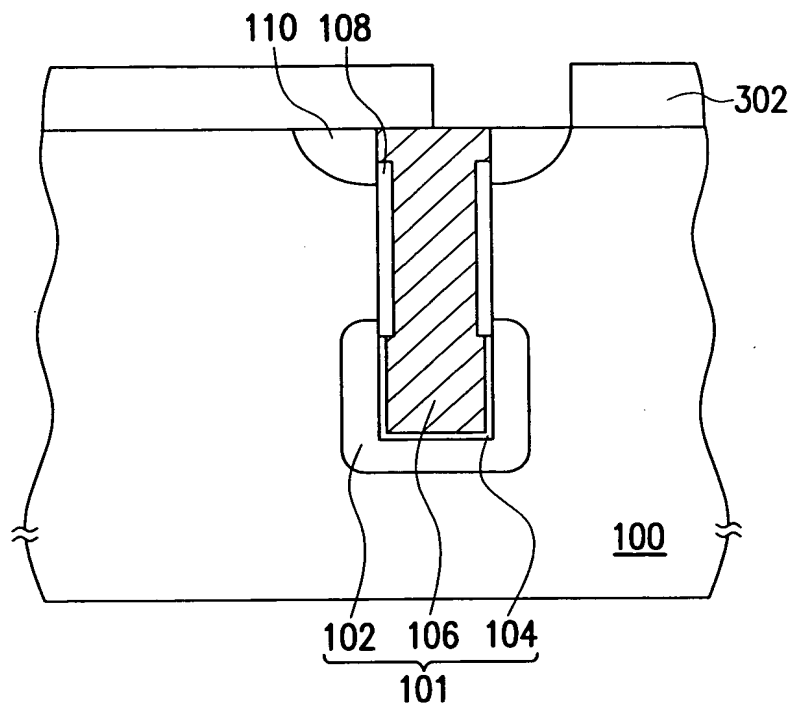
第 2A 圖



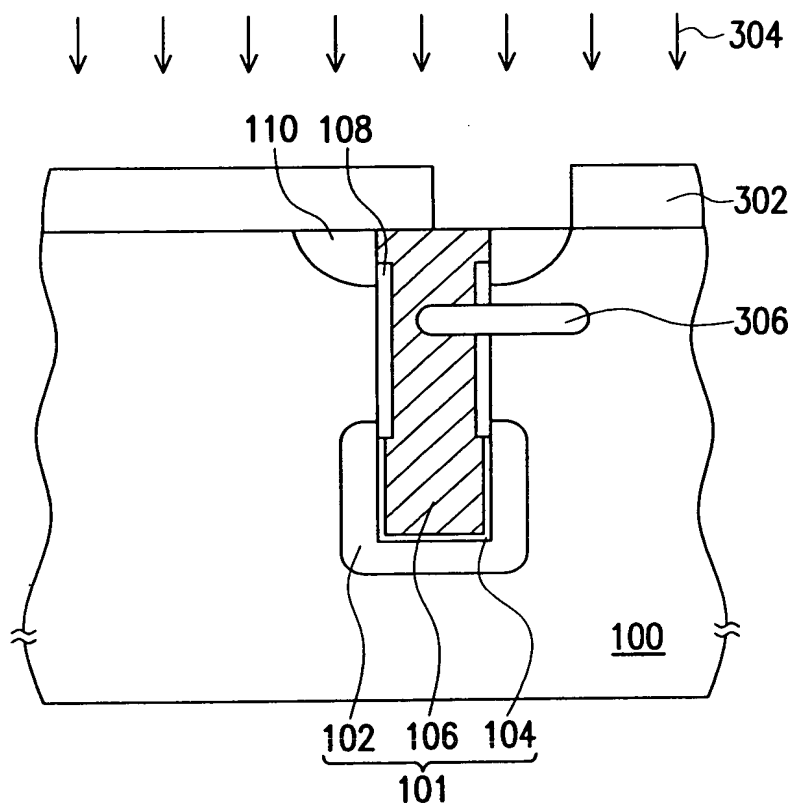
第 2B 圖



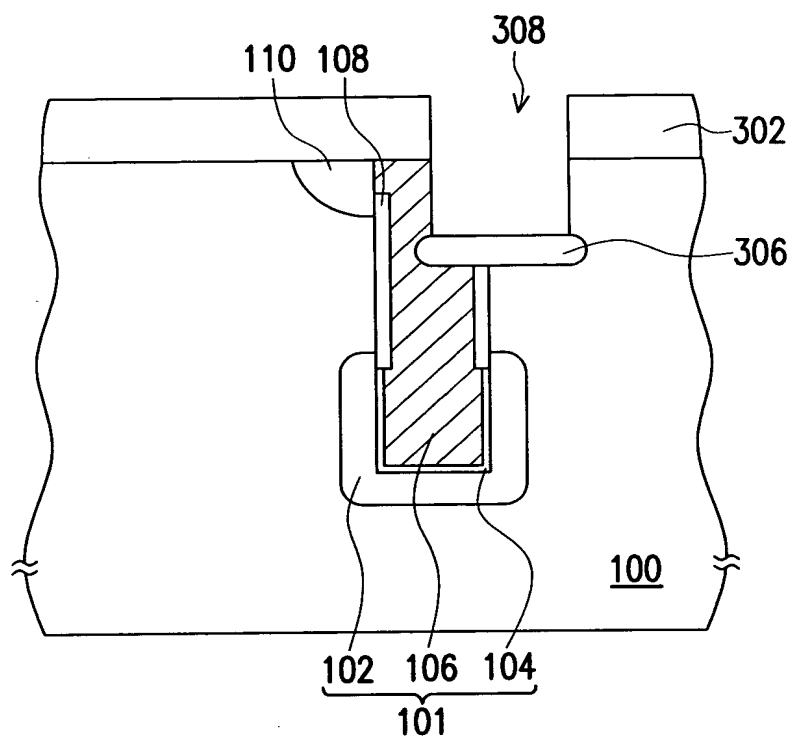
第 2C 圖



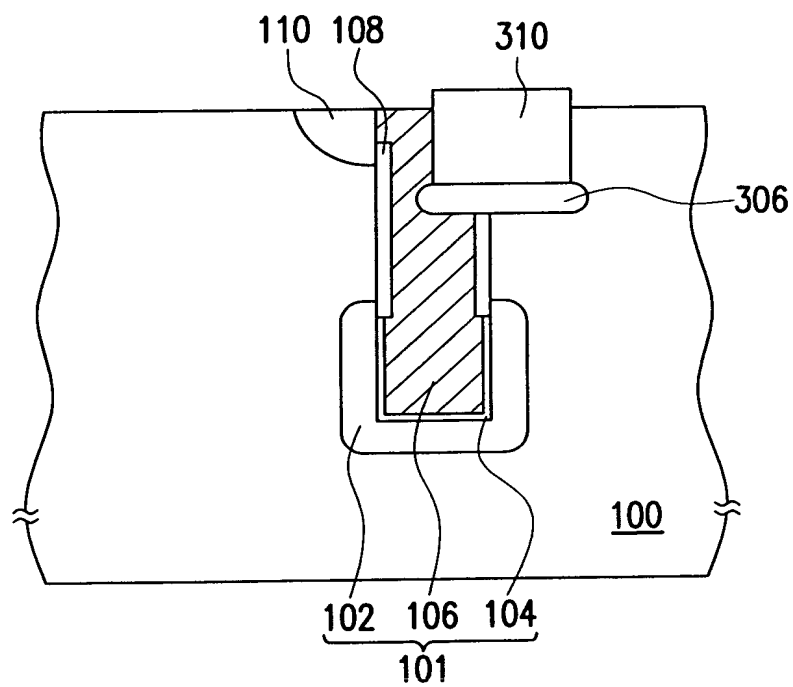
第 3A 圖



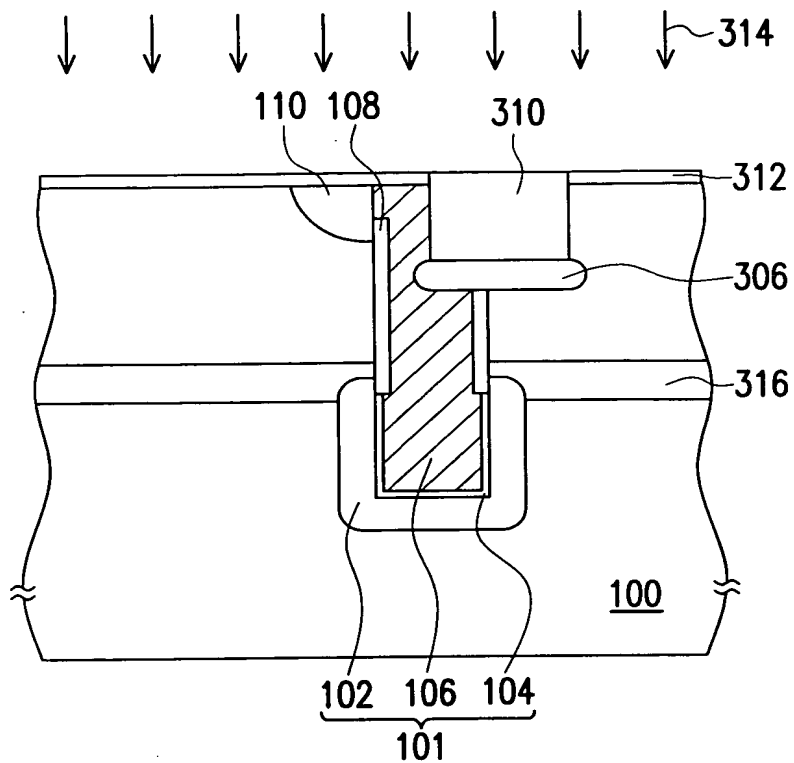
第 3B 圖



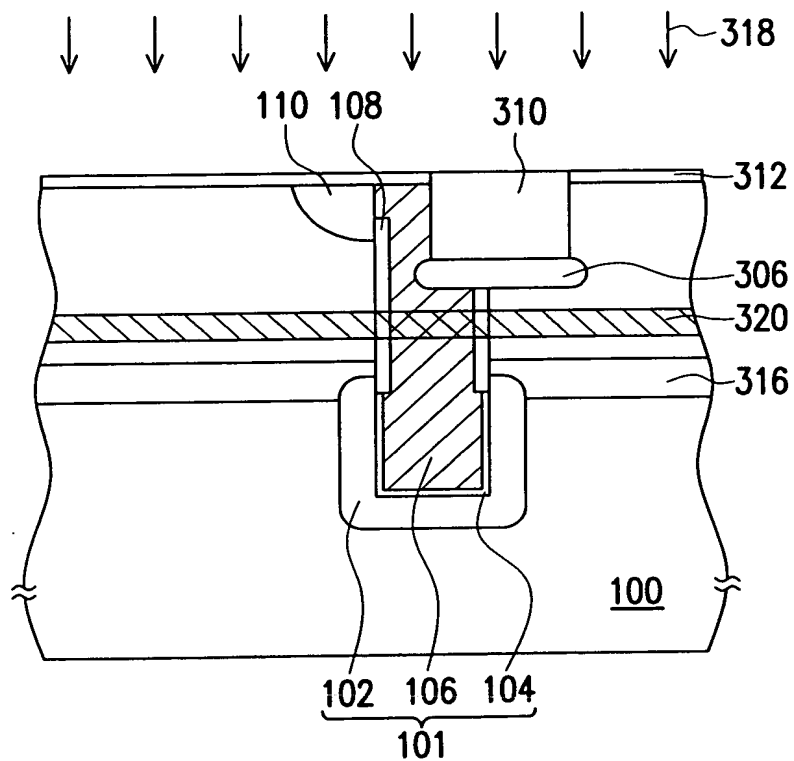
第 3C 圖



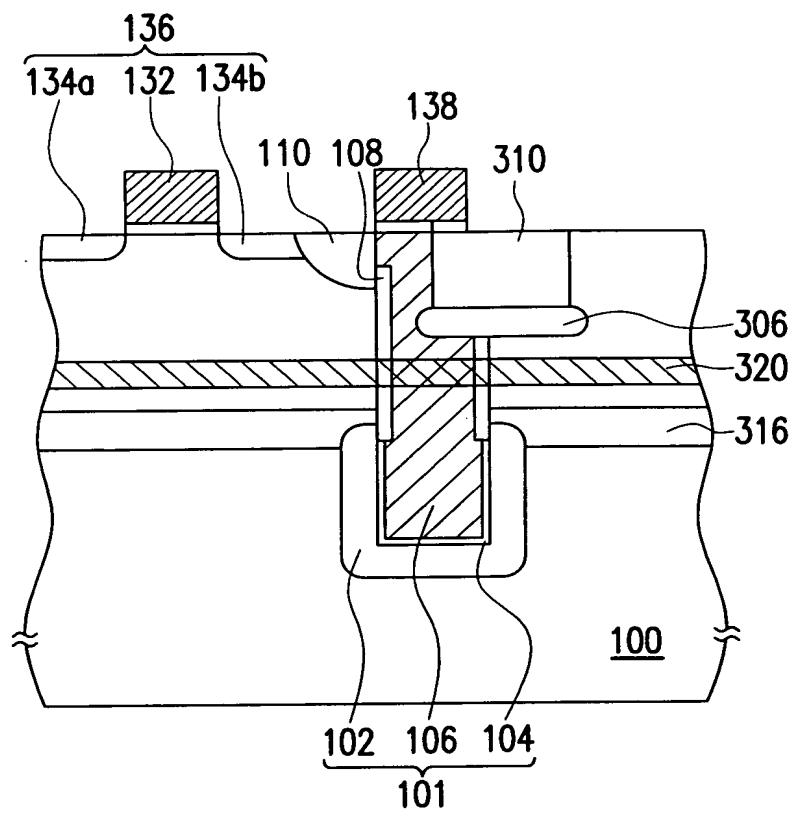
第 3D 圖



第 3E 圖



第 3F 圖

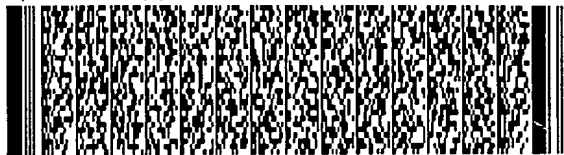


第 3G 圖

第 1/23 頁



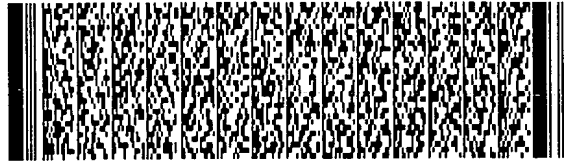
第 1/23 頁



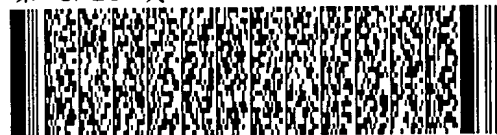
第 2/23 頁



第 2/23 頁



第 3/23 頁



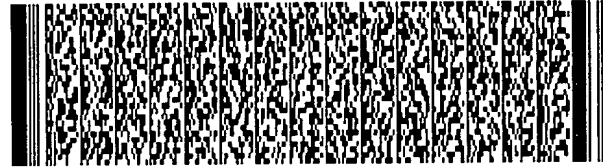
第 4/23 頁



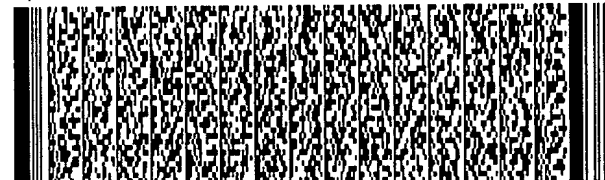
第 5/23 頁



第 5/23 頁



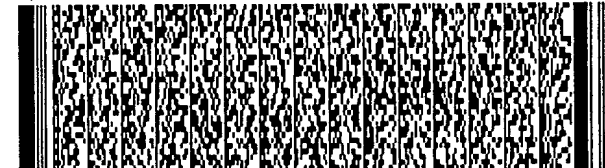
第 6/23 頁



第 6/23 頁



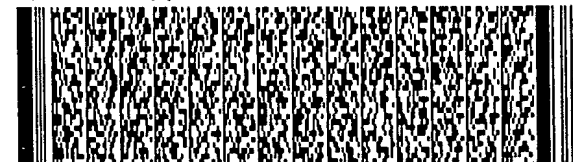
第 7/23 頁



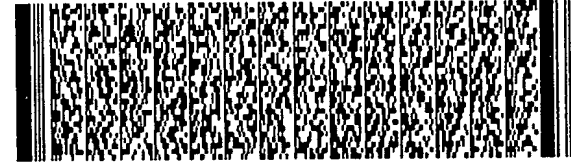
第 7/23 頁



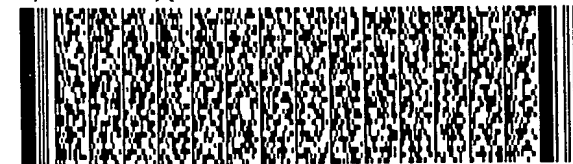
第 8/23 頁



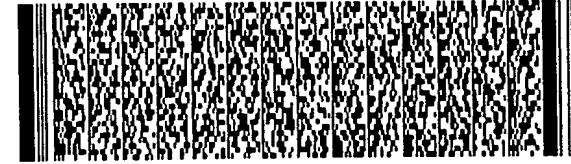
第 8/23 頁



第 9/23 頁



第 9/23 頁



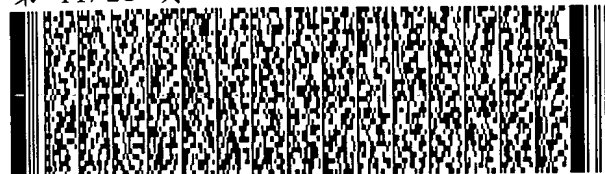
第 10/23 頁



第 10/23 頁



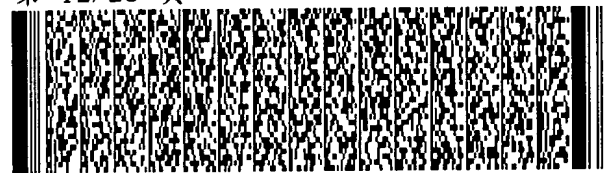
第 11/23 頁



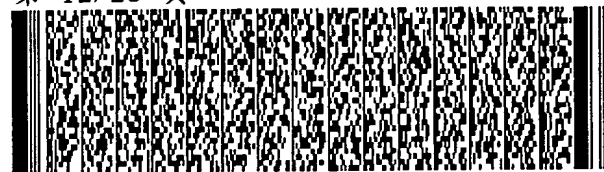
第 11/23 頁



第 12/23 頁



第 12/23 頁



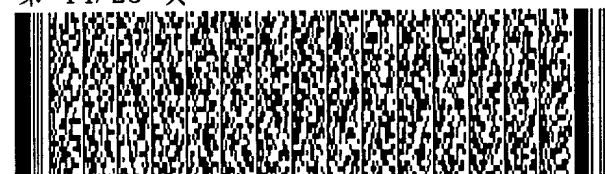
第 13/23 頁



第 13/23 頁



第 14/23 頁



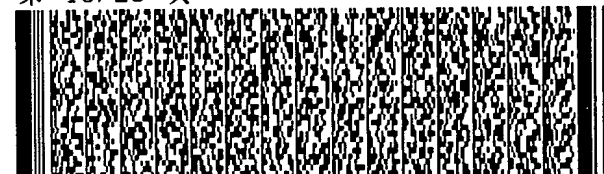
第 14/23 頁



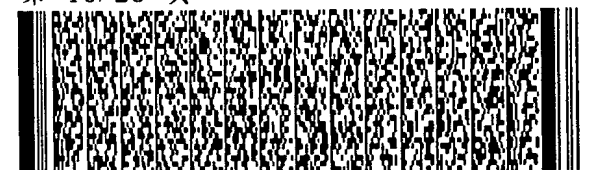
第 15/23 頁



第 15/23 頁



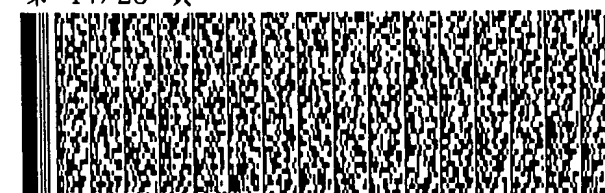
第 16/23 頁



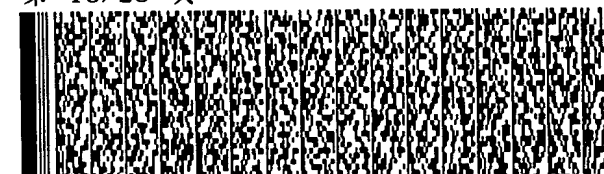
第 16/23 頁



第 17/23 頁



第 18/23 頁



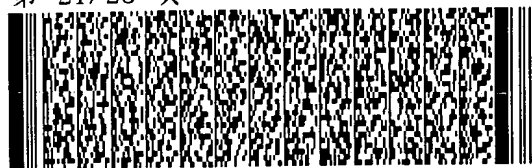
第 19/23 頁



第 20/23 頁



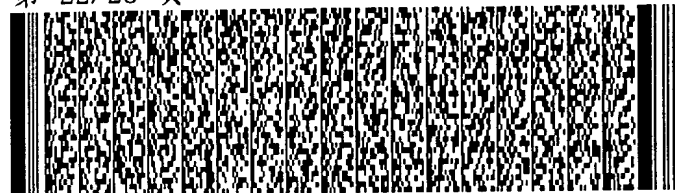
第 21/23 頁



第 21/23 頁



第 22/23 頁



第 23/23 頁

